



E8690

ECL 型 200MHz ÷ 10/ ÷ 11 分频器

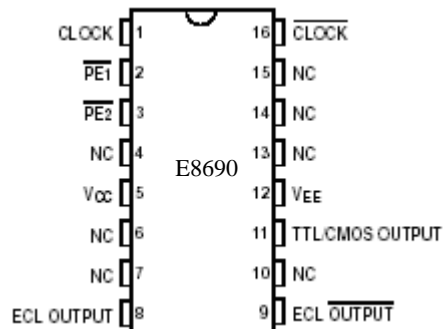
**特 点**

- ECL 和 TTL/CMOS 输出
- 交流耦合输入
- 控制输入与 ECL 相容

**绝对最大额定值：**

- 电源电压  $V_{CC}-V_{EE}$  8V
- ECL 输出电流 10mA
- TTL/CMOS 输出 +12V
- 输入电压  $2.5V_{P-P}$
- 最大开路集电极电流 15mA

**外引线排列图**



NC: 空脚

封装形式：

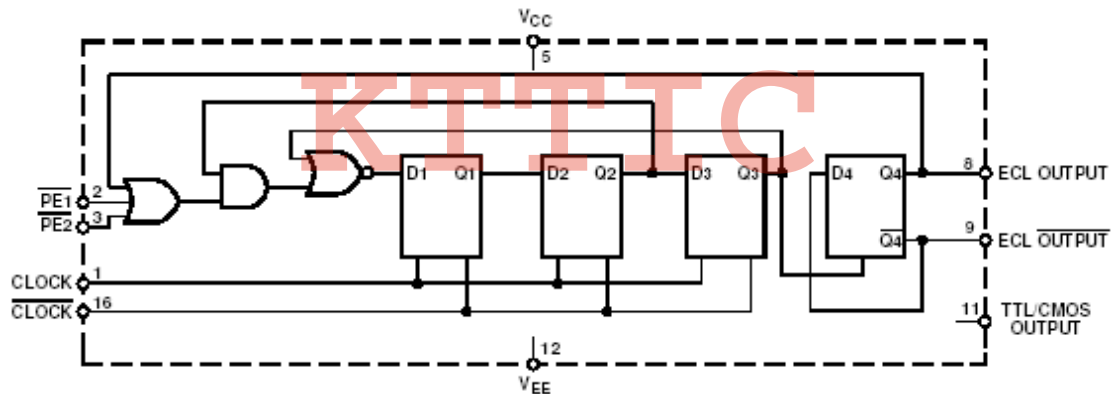
白瓷：16 脚双列直插

黑瓷：16 脚双列直插

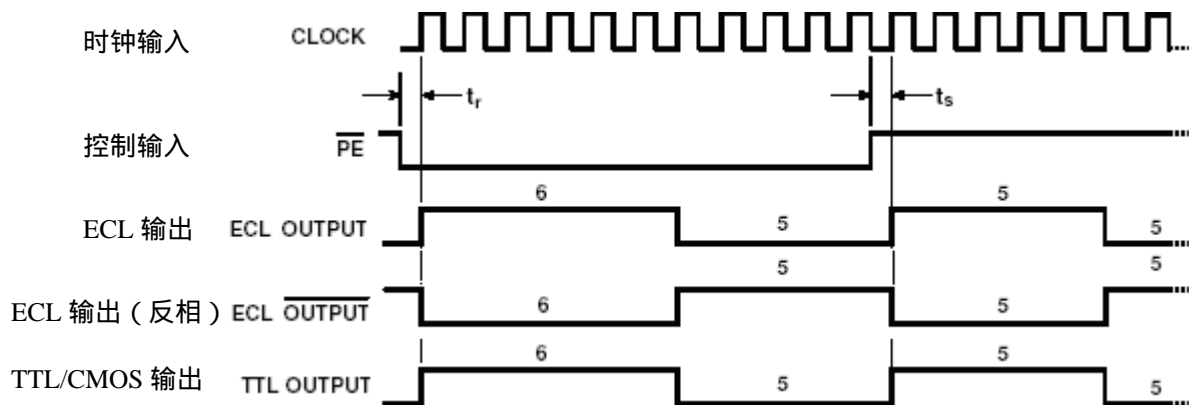
使用温度范围：

E8690 -30 — — +70  
-55 — — +125

**逻辑图**



**时序图**





**真值表**

$\overline{PE}_1$	$\overline{PE}_2$	分频数	(分频模式)
L	L	11	÷ 11
H	L	10	÷ 10
L	H	10	÷ 10
H	H	10	÷ 10

**TTL 参数表**

(电源电压:  $V_{CC}=5.0V \pm 0.25V$ ,  $V_{EE}=0V$ ,  $T_A$  为全温度范围)

电特性参数	符号	规范值		单位	测试条件
		最小值	最大值		
电源电流	$I_{EE}$		21	mA	$V_{CC}=5.0V$
TTL 输出高电平	$V_{OH}$	4.5		V	$V_{CC}=5.0V$ $R_L=570$
TTL 输出低电平	$V_{OL}$		0.5	V	$V_{CC}=5.0V$ $R_L=570$
正弦输入最高频率	C 档	$f_{MAX}$	225	MHz	输入=400 ~ 800 mV
	B 档		200		
	A 档		150		
正弦输入最低频率	$f_{MIN}$		40	MHz	输入=400 ~ 800 mV
时钟到输出延迟	$t_{PLH}$		32	ns	$R_L=570$
时钟到输出延迟	$t_{PHL}$		18	ns	$R_L=570$
建立时间	$t_s$	3		ns	
恢复时间	$t_r$	8		ns	

**ECL 参数表**

(电源电压:  $V_{EE}=-5.2V \pm 0.25V$ ,  $V_{CC}=0V$ ,  $T_A$  为全温度范围)

电特性参数	符号	规范值		单位	测试条件
		最小值	最大值		
电源电流	$I_{EE}$		21	mA	$V_{EE} = -5.2V$
ECL 输出高电平	$V_{OH}$	-0.85	-0.7	V	$V_{EE} = -5.2V$ (25 )
ECL 输出低电平	$V_{OL}$	-1.85	-1.5	V	$V_{EE} = -5.2V$ (25 )
PE 控制输入高电平	$V_{INH}$	-0.93		ns	$V_{EE} = -5.2V$ (25 )
PE 控制输入高电平	$V_{INL}$		-1.62	ns	$V_{EE} = -5.2V$ (25 )
正弦输入最高频率	C 档	$f_{MAX}$	225	MHz	输入=400 ~ 800mV
	B 档		200		
	A 档		150		
正弦输入最低频率	$f_{MIN}$		40	MHz	输入=400 ~ 800mV
时钟到 ECL 输出延迟	$t_p$		9	ns	
建立时间	$t_s$	3		ns	
恢复时间	$t_r$	8		ns	

注:  $V_{OH}$ 、 $V_{OL}$ 、 $V_{IN}$  的温度系数分别是:  $+1.63mV/$ 、 $+0.94 mV/$ 、 $+1.22 mV/$ 。

$t_{PLH}$ 、 $t_{PHL}$ 、 $t_p$ 、 $t_s$ 、 $t_r$  保证但不测试。

当选用 -30 — — +70 器件时, 正弦输入最高频率仅在 +25 时测试。



E8690 是有与 ECL10K 系列和 TTL 系列相容的输出的低功耗 ECL 分频器。当两个控制输入中的一个为高电平状态时，电路有 ÷ 10 功能。当两个控制输入均为低电平状态（或开路）时，电路有 ÷ 11 功能。

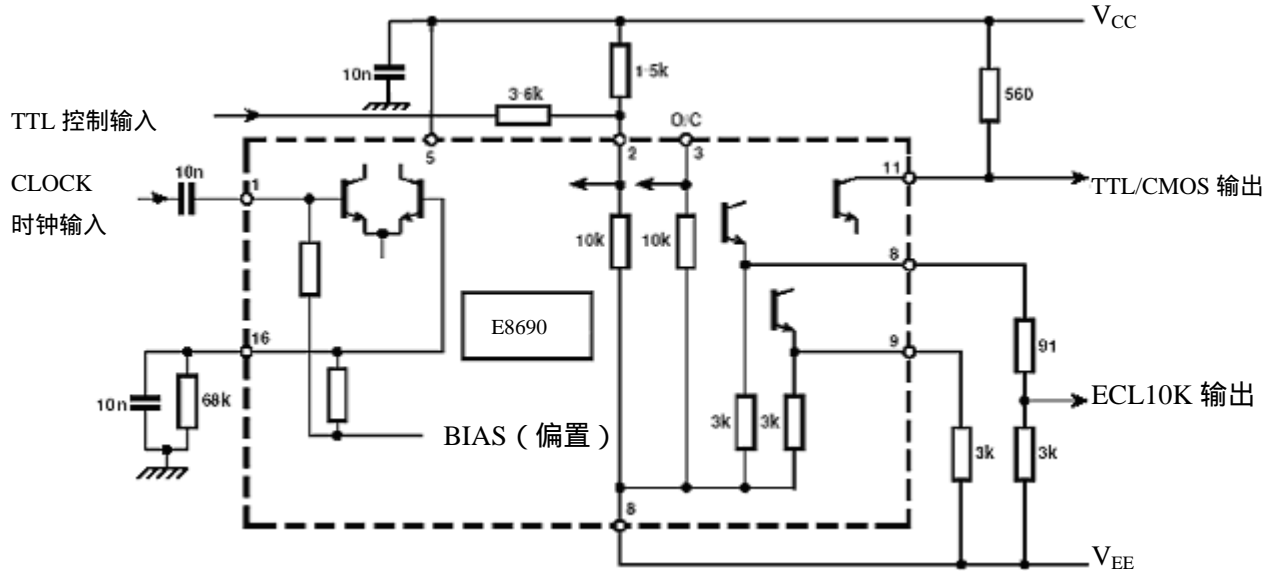


图 1 .典型应用电路

**应用说明：**

1、时钟输入可以单端输入，也可以双端差分输入。时钟输入被内部偏置。用适当的电容就可以耦合到信号源上。输入信号是由一个从输入跨接到地的标准的退耦电容构成回路的。

2、在不加信号时，器件将产生自激振荡。这时可以用在时钟输入端（1脚或16脚）和负电源  $V_{EE}$ （12脚）之间接一个 68K 的电阻来消除。在这种情况下，输入灵敏度将下降 100mV。

3、器件可降至直流工作，但这时输入信号压摆率必须大于  $100V/\mu s$ 。

4、ECL 输出（8脚和9脚）与 ECL 系列相容，也可以通过外接下接电阻来和 ECL 系列及 ECL10K 系列接口（见图 1）。

5、控制输入  $\overline{P_E}$  端和 ECL 系列及 ECL10K 系列相容，并且有一个 10K 的内部下拉电阻。因此，此输入端不用时可以悬空。

6、输入阻抗是频率的函数。

7、TTL/CMOS 输出是集电极开路输出（OC 输出）。输出高电平电压将取决于集电极负载所接的电压值，但这个电压最大不能超过 12V。

8、集电极开路输出端的上升/下降时间与负载电容和负载电阻的值成正比。因此，负载电容必须减小到最小程度，负载电阻必须保持在与系统电源相适应的最小值。