

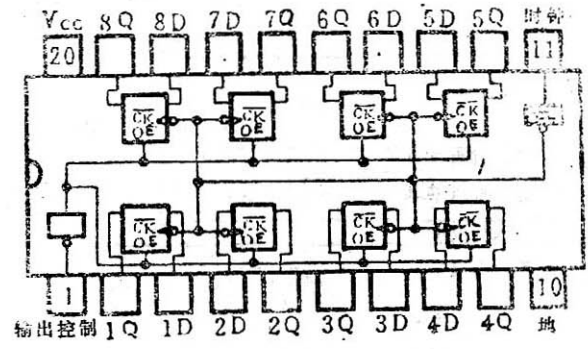
54LS374/74LS374 8D触发器 (三态)

典型参数 $f_{max} = 50\text{MHz}$, $P_D = 17\text{mW/触发器}$

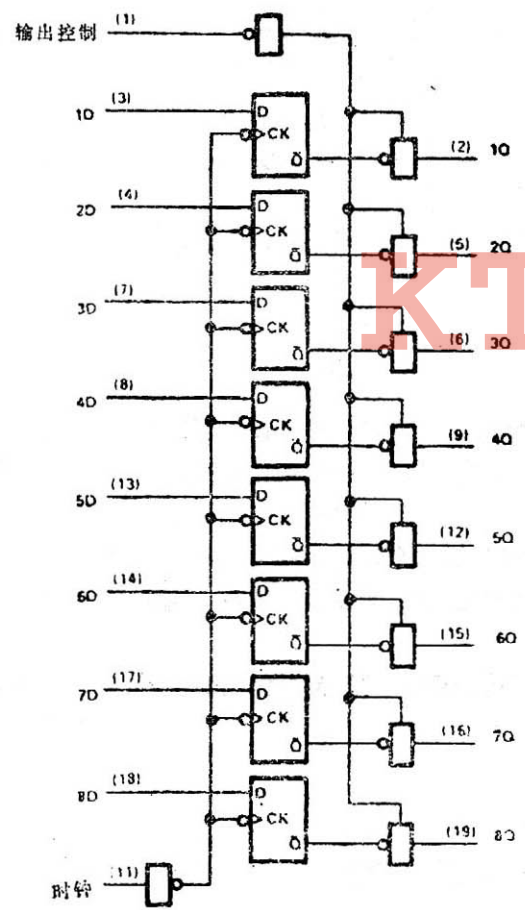
功能表

输出控制	时钟	D	输出
L	↑	H	H
L	↑	L	L
L	L	x	Q ₀
H	x	x	Z

外引线排列图



逻辑图



说明

这种8D触发器，亦即八位寄存器的特点是，为驱动大电容或较低阻抗负载而特意设计了图腾柱三态输出。由于有高阻抗第三状态，驱动器逻辑电平有所提高，使这种寄存器可以直接与系统总线接口，可以直接驱动总线，而不需要接口电路或升压元件。这种电路特别适用于缓冲寄存器，I/O通道，双向总线驱动器和工作寄存器。

54LS374 / 74LS374 规范表

符号	参数名称		参 数 值			单 位
			最小	典型	最大	
V _{CC}	电源电压	54LS374	4.5	5	5.5	V
		74LS374	4.75	5	5.25	
V _{OH}	输出高电平电压				5.5	V
I _{OH}	输出高电平电流	54LS374			-1	mA
		74LS374			-2.6	
t _w	时钟/使能脉冲宽度	高	15			ns
		低	15			
t _{su}	数据建立时间		20 ↓			ns
t _h	数据保持时间		0 ↓			ns
T _A	工作环境温度	54LS374	-55		125	°C
		74LS374	0		70	

号	参 数 名 称		参 数 值			单位	测 试 条 件	
			最小	典型	最大			
V _{IH}	输入高电平电压		2			V		
V _{IL}	输入低电平电压	54LS374			0.7	V		
		74LS374			0.8	V		
V _{CD}	输入钳位电压				-1.5	V	V _{CC} =最小	I _I =-18mA
V _{OH}	输出高电平电压	54LS374	2.4	3.4		V	V _{CC} =最小	V _{IH} =2V
		74LS374	2.4	3.1		V	V _{IL} =最大	I _{OH} =最大
V _{OL}	输出低电平电压	54, 74		0.25	0.4	V	I _{OL} =12mA	V _{CC} =最小 V _{IH} =2V
		74LS374		0.35	0.5		I _{OL} =24mA	V _{IL} =最大
I _{OZH}	高电平电压下关态输出电流				20	μA	V _{CC} =最大	V _{IH} =2V
I _{OZL}	低电平电压下关态输出电流				-20	μA	V _{CC} =最大	V _{IH} =2V
I _I	最大输入电压下的输入电流				0.1	mA	V _{CC} =最大	V _I =7V
I _{IH}	输入高电平电流				20	μA	V _{CC} =最大	V _I =2.7V
I _{IL}	输入低电平电流				-0.4	mA	V _{CC} =最大	V _I =0.4V
I _{OS}	输出短路电流		-30		-130	mA	V _{CC} =最大	
I _{CC}	电源电流			27	40	mA	V _{CC} =最大	
f _{max}	最大时钟频率		35	50		MHz		
t _{PLH}	数据	任一Q				ns	C _L =45pF R _L =667Ω V _{CC} =5V	
t _{PHL}								
t _{PLH}	时钟	任一Q		15	28	ns		
t _{PHL}				19	28			
t _{PZH}	输出控制	任一0		20	26	ns		
t _{PZL}				21	28			
t _{PHZ}	输出控制	任一0		15	28	ns		V _{CC} =5V C _L =5pF R _L =667Ω
t _{PLZ}				12	20			

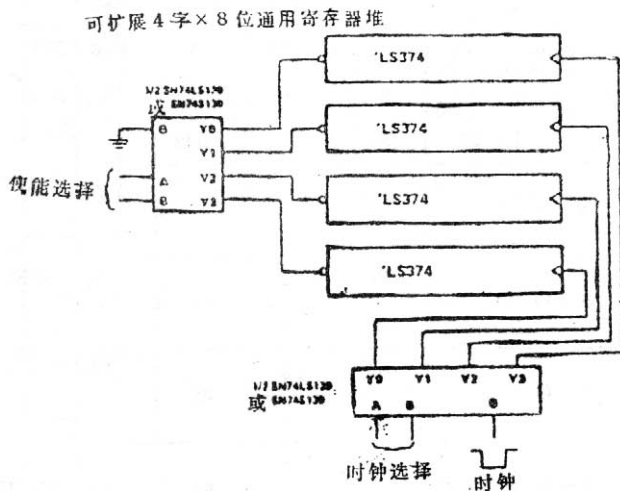
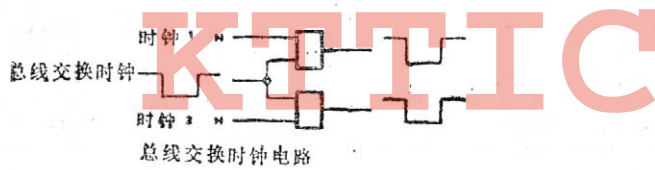
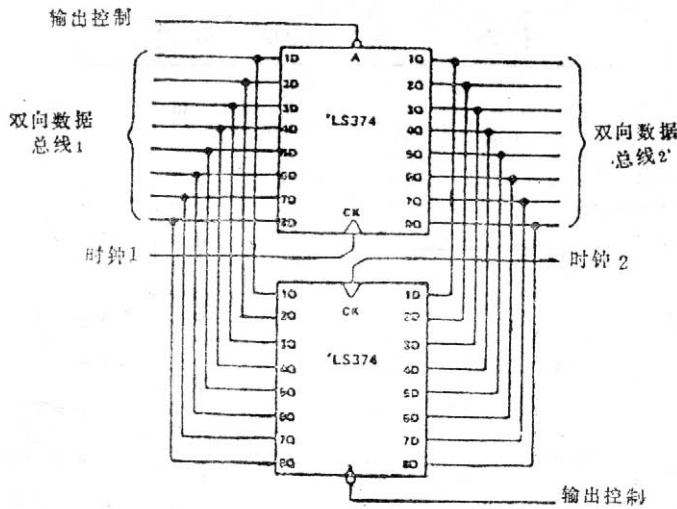
54LS374 / 74LS374 说明 (续)

LS374 的八个触发器是边沿触发D 型触发器，在时钟的正跳动时Q 输出将处于D 输入端已建立的逻辑状态。

使能/时钟线上的施密特触发缓冲输入将简化系统设计 因为输入滞后作用使交流和直流抗扰度一般提高400mV 缓冲输出控制输入将使八个输出处于正常状态(高电平或低电平)或处于高阻状态。在高阻态下，输出既不能有效地给总线加负载，也不能有效地驱动总线。

输出控制不影响触发器的内部工作，即老数据可以保持，甚至当输出被关闭，新的数据也可以置入。

典型应用说明



数据输入电路图见附图3。 $R_{eq} = 30K\Omega$ 输出控制输入电路图见附图1。 $R_{eq} = 18K\Omega$
 时钟输入电路图见附图2。 $R_{eq} = 17K\Omega$ 所有输出典型线路见附图12。 $R = 100\Omega$