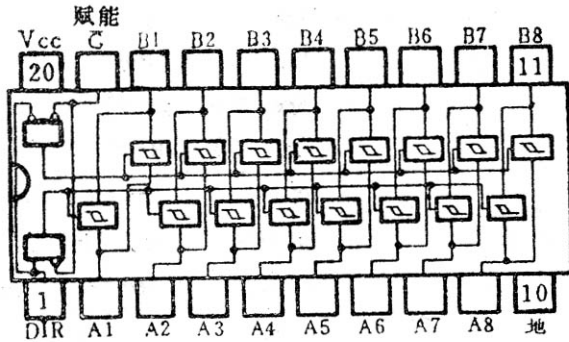


54LS245/74LS245 八总线收发器(三态非反相)

典型参数: $t_{pd} = 8ns$ $P_D = 300mw$

外引线排列及逻辑图



功能表

赋能	定向控制	工 作
G	DIR	
L	L	B 数据到 A 总线
L	H	A 数据到 B 总线
H	×	隔 离

54LS245 / 74LS245 说明

本电路是为数据总线间的两路异步通讯而设计的8 总线收发器。控制功能的执行使外接定时的要求达到最小。

电路按定向控制 (DIR) 输入端上的逻辑电平, 允许数据由A 总线传输到B 总线上, 或由B 总线传输到A 总线上, 赋能输入 (\bar{G}) 可用于禁止电路, 以便使总线被有效地隔离开来。

54LS245 / 74LS245 特点

- 双向总线收发器封装于高密度的20 引线封装内。
- 三态输出直接驱动总线。
- 总线输入上的滞后电压改善了噪声容限。
- PNP 输入, 减小总线上的直流负载。
- 典型的传输延迟时间, 通道间—8ns。
- 典型的赋能/禁止时间17ns. LS245 的电流

54LS245	I_{OL} (灌入电流)	12mA	I_{OH} (供出电流)	-12mA
74LS245	I_{OL}	24 mA	I_{OH}	-15mA

54LS245 / 74LS245 规范表

符号	参数名称	参 数 值			单 位
		最 小	典 型	最 大	
V _{CC}	电 源 电 压	54	4.5	5	V
		74	4.75	5	
I _{OH}	输出高电平电流	54			mA
		74			
I _{OL}	输出低电平电流	54			mA
		74			
T _A	工作温度	54	-55		°C
		74	0		

符号	参 数 名 称	参 数 值			单 位	测 试 条 件	
		最 小	典 型	最 大			
V _{IH}	输入高电平	2			V		
V _{IL}	输入低电平	54LS245		0.7	V		
		74LS245		0.8	V		
V _{CD}	输入钳位电压			-1.5	V	V _{CC} =最小 I _I =-18mA	
V _T ⁺ - ⁻	滞后电压A 或B 电压	0.2	0.4		V	V _{CC} =最小	
V _{OH}	输入高电平	54, 74	2.4	3.4		V	I _{OH} =-3 mA V _{CC} =最小
			2				I _{OH} =最大 V _{IH} =2V V _{IL} =最大
V _{OL}	输出低电平	54, 74 74LS245		0.4		V	I _{OL} =12mA V _{CC} =最小
				0.5			I _{OL} =24mA V _{IH} =2V V _{IL} =最大
I _{OZH}	禁态输出电流 (加高电平)			10		μA	V _O =2.7V V _{CC} =最大 G 处于2V
I _{OZL}	禁态输出电流 (加低电平)			-200			V _O =0.4V
I _I	最大输入电 流	A 或B		0.1	mA	V _I =5.5V V _I =7V	V _{CC} =最大
		DIR 或G					
I _{IH}	输入高电平电流			20	μA	V _{CC} =最大 V _{IH} =2.7V	
I _{IL}	低电平输入电流			-0.2	mA	V _{CC} =最大 V _{IL} =0.4V	
I _{OS}	输出短路电流	-40		-225	mA	V _{CC} =最大	
I _{CC}	电源电流	高电平输出	48	70	mA	V _{CC} =最大 输出开路	
		低电平输出	62	90			
		高阻输出	64	95			
t _{PLH}	传输延迟		8	12	ns	C _L =45pF R _L =667Ω	
t _{PHL}	传输延迟		8	12	ns		
t _{pZL}	赋能延迟		27	40	ns	C _L =5pF R _L =667Ω	
t _{pZH}	赋能延迟		25	40	ns		
t _{PLZ}	禁止延迟		15	25	ns		
t _{PHZ}	禁止延迟		15	25	ns		

输入等效电路见附图2. Req=9kΩ, 所有输出典型线路见附图12. R=50Ω