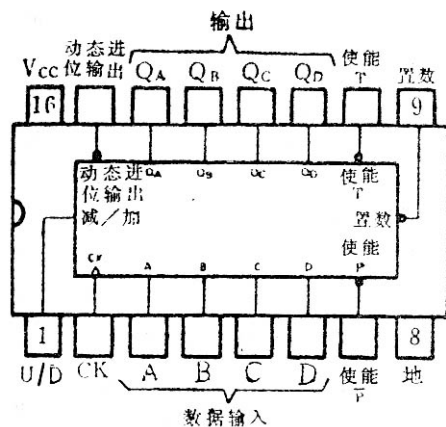


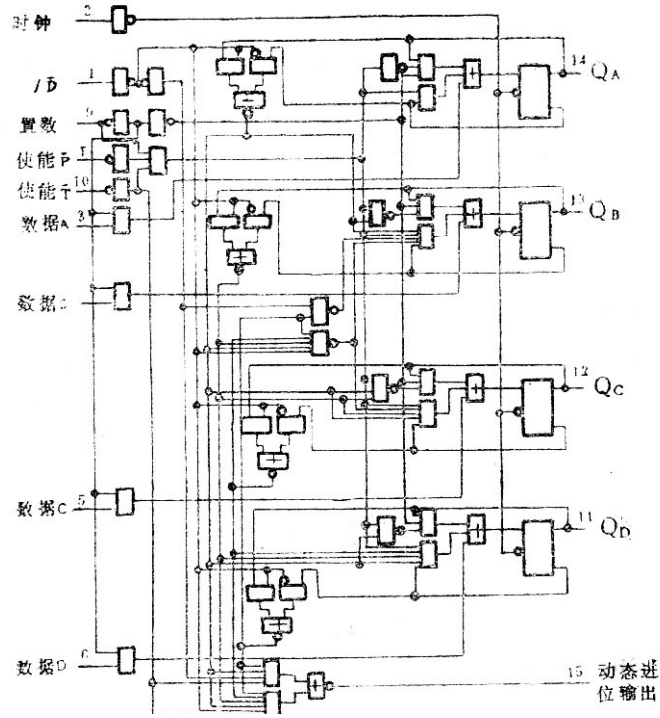
54LS168A / 74LS168A 四位10进制同步可逆计数器

典型参数: f_{ck} (加/减计数) = 25MHz $P_D = 100\text{mw}$

外引线排列图



逻辑图



54LS168A / 74LS168A 说明

这种同步可预置计数器的特点是在高速计数应用中内部有级联超前进位。54LS168A / 74LS168A 是十进制计数器，同步操作是通过对所有触发器同时加时钟而实现的，因此当用计数使能输入和内部门加指令时。输出的变化彼此是一致的，这种工作模式有助于消除不同步（脉动时钟）计数器中常有的输出计数尖峰。缓冲时钟输入将在时钟波的上升沿（正向）触发四个主—从触发器。

这种计数器完全是可编程序的，即输出可以预置到任一电平，有了这种置数输入电路后。便可用级联计数器的进位使能输出进行置数。同步置数时，如在置数输入端建立一个低电平，便可禁止计数器工作，并在下一个时钟脉冲后使输出与数据输入一致。

在n位同步应用中，有了超前进位线路后，即使不另加门，也可将计数器级联起来，两个计数使能输入和一个进位输出有助于实现这个功能。两个计数使能（TP和）在计数时必须为低电平，计数方向由可逆输入的电平决定。当输入为高电平时，计数器进行加计数，为低电平时，进行减计数。提前对输入加上T信号，以使能进位输出。因此，被使能的进位输出将产生一个低电平输出脉冲，进行加计数时，这个输出脉冲宽度约等于QA输出的高电平部分，进行减计数时，约等于QA输出的低电平部分。用此低电平溢出进位脉搏冲可以使能后面各个级联级。不管时钟输入是什么电平，使能P和T输入都可发生跳变。所有输入都用二极管钳位，以尽力减少传输线影响，因此也简化了系统设计。

这种计数器的特点是有一个完全独立的时钟电路。改变工作模式的控制输入（使能 P 、使能 T 、置数、加/减）纵使发生变化，也要到出现时钟脉冲时才起作用。计数器的功能，不论是使能、禁止、置数、还是计数，都由稳定建立时间和稳定保持时间所需的条件来决定

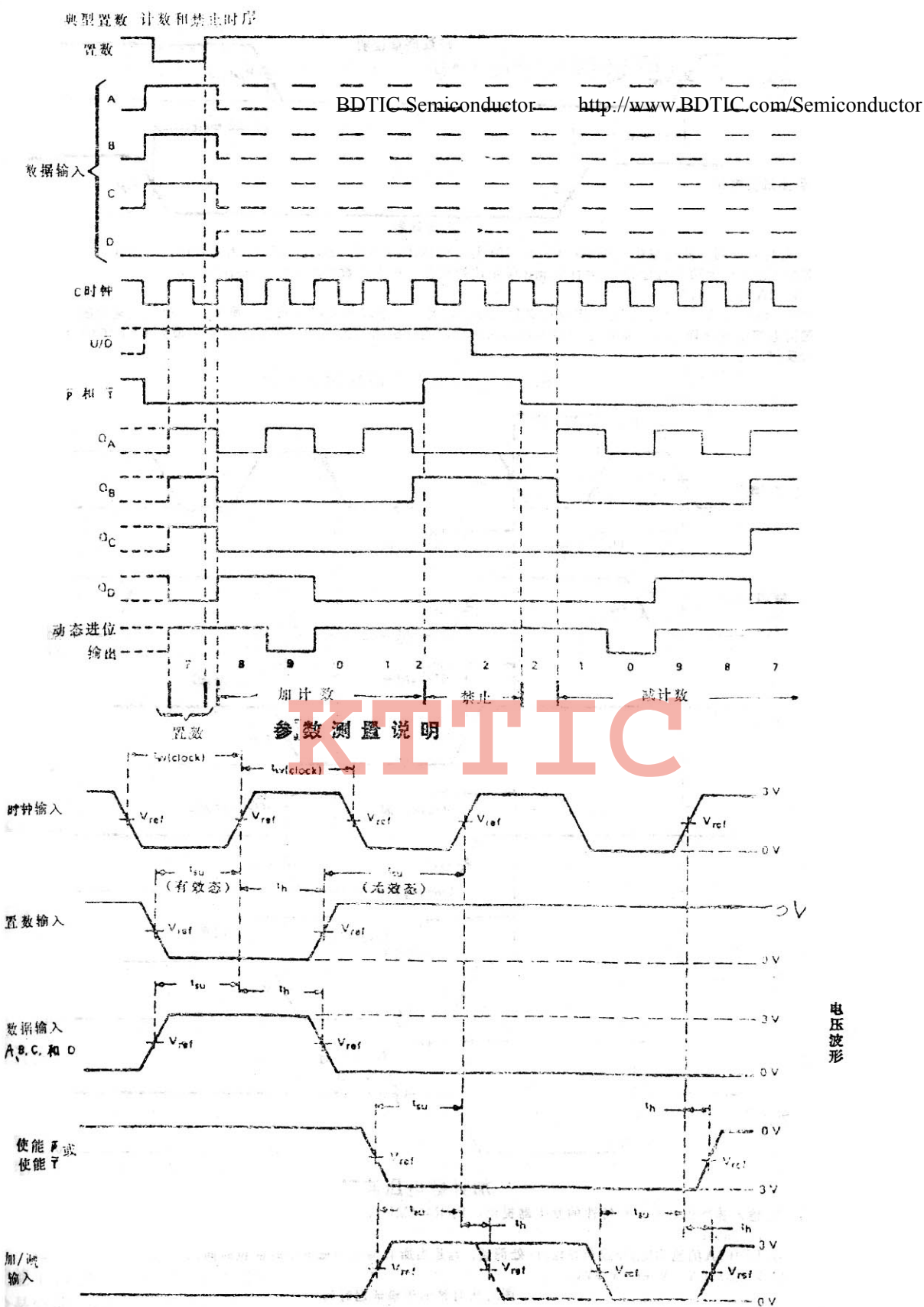
54LS168A / 74LS168A 参数

符 号	参 数 名 称		参 数 值			单 位
			最 小	典 型	最 大	
V_{CC}	电源电压	54LS168A	4.5	5	5.5	V
		74LS168A	4.75	5	5.25	
I_{OH}	输出高电平电流				-400	μA
I_{OL}	输出低电平电流	54LS168A			4	mA
		74LS168A			8	
f_{CK}	时钟频率		0		25	MHz
$t_w(CK)$	时钟脉冲宽度		25			ns
t_{su}	建立时间	数据输入A、B、C、D	20			ns
		置数	25			ns
		使能 \overline{P} 或 \overline{T}	20			ns
		加/减	30			ns
t_h	维持时间		0			ns
T_A	工作温度	54LS168A	-55		125	$^{\circ}C$
		74LS168A	0		70	$^{\circ}C$

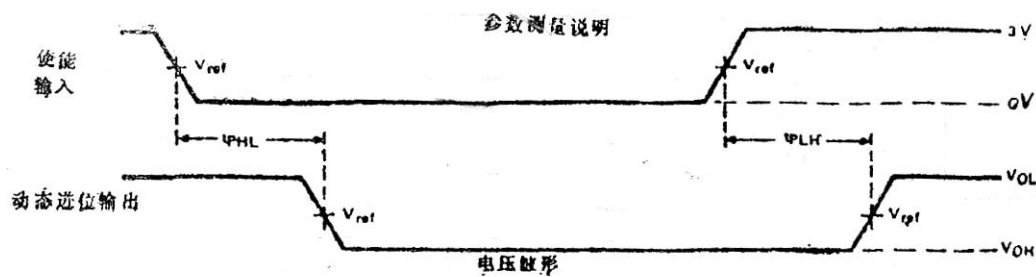
54LS168A / 74LS168A 参数 (续)

符号	参 数 名 称		参 数 值			单位	测 试 条 件	
			最小	典型	最大			
V _{IH}	输入高电平电压		2			V		
V _{IL}	输入低电平电压	54LS168A			0.7	V		
		74LS168A			0.8	V		
V _{CD}	输入钳位电压				-1.5	V	V _{CC} =最小	I _I =-18mA
V _{OH}	输出高电平电压	54LS168A	2.5	3.4		V	V _{CC} =最小	V _{IH} =2V
		74	2.7	3.4			V _{IL} =最小	I _{OH} =-400 μ A
V _{OL}	输出低电平电压	54,74		0.25	0.4	V	I _{OL} =4mA	V _{CC} =最小 V _{IL} =最大 V _{IH} =2V
		74LS168A		0.35	0.5		I _{OL} =8mA	
I _I	最大输入高电压下 输入电流	A、B、C、D、 \overline{P} 、U/ \overline{D}			0.1	mA	V _{CC} =最大 V _I =7V	
		时钟， <i>T</i>			0.1			
		置数			0.2			
I _{IH}	输入高电平电流	A、B、C、D、 \overline{P} 、U/ \overline{D}			20	μ A	V _{CC} =最大 V _I =2.7V	
		—						
		时钟， <i>T</i>			20			
I _{IL}	输入低电平电流	置数			40	mA	V _{CC} =最大 V _I =0.4V	
		A、B、C、D、 \overline{P} 、U/ \overline{D}			-0.4			
		时钟， \overline{T}			-0.4			
		置数			-0.8			
I _{OS}	短路输出电流		-20		-100	mA	V _{CC} =最大	
I _{CC}	电源电流			20	34	mA	V _{CC} =最大 注	
f _{最大}	最大时钟频率		25	32		MHz	C _L =15pF R _L =2kΩ	
t _{PLH}	从时钟	到动态进位		23	35	ns		
t _{PHL}				23	35			
t _{PLH}	时钟	任一个Q		13	20	ns		
t _{PHL}				15	23			
t _{PLH}	使能 \overline{T}	动态进位		10	14	ns		
t _{PHL}				10	14			
t _{PLH}	加/减	动态进位		17	25	ns		
t _{PHL}				19	29			

注：I_{CC}测试条件：时钟输入瞬时接4.5V，然后接地，所有其他输入接地，输出开路。

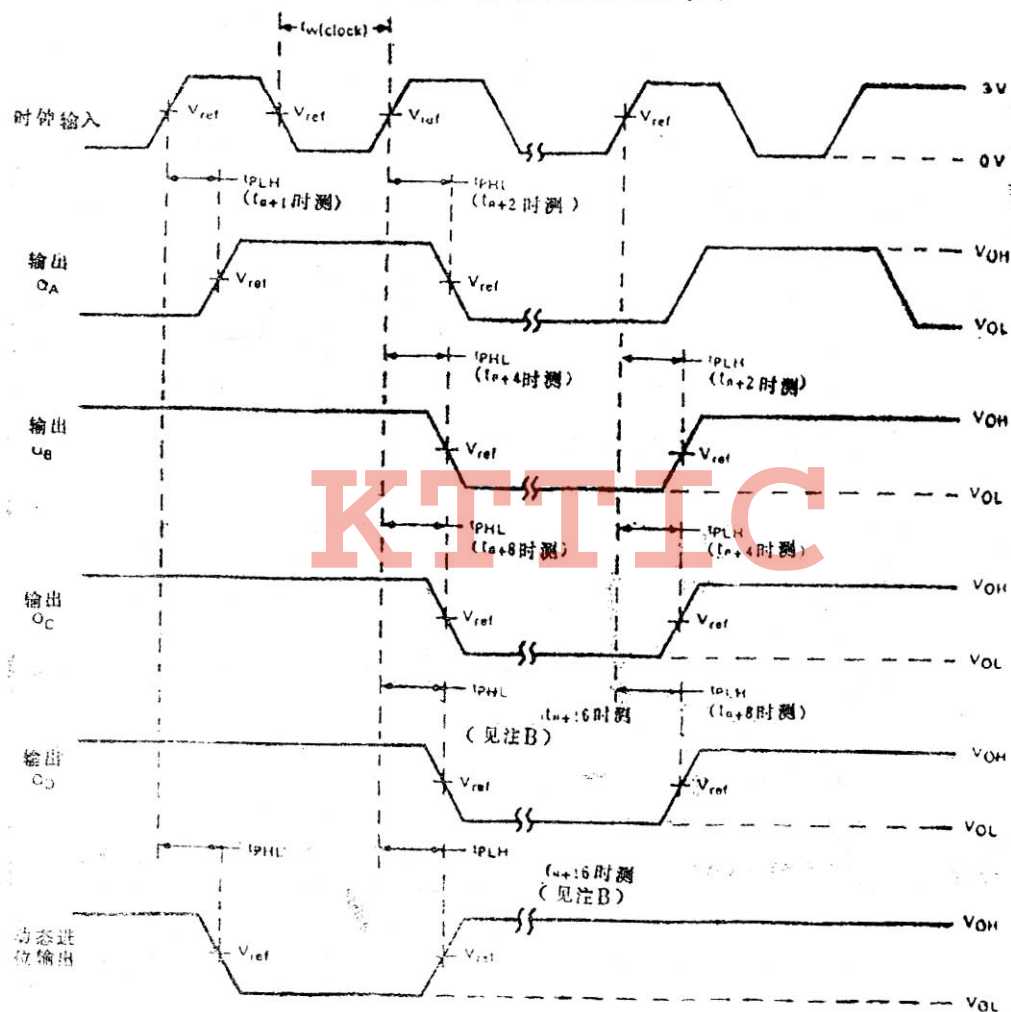


主: A. 输入脉冲由具有下列特性的发生器提供: $PRR \leq 1\text{MHz}$, 占空比 $\leq 50\%$; $Z_{out} \approx 50\Omega$. $t_r \leq 15\text{ns}$, $t_f \leq 6\text{ns}$
B. $V_{ref} = 1.3\text{V}$;
图1. 脉冲宽度, 建立时间和保持时间



- A. 脉冲由具有下列特性的发生器提供: $PRB \leq 1MHz$, 占空比 $\leq 50\%$, $Z_{out} \approx 50\Omega$, $t_r \leq 15ns$, $t_f \leq 6ns$;
- B. 从使能T输入至脉动进位输出的 t_{PLH} 和 t_{PHL} 假定计数器处于最大计数状态 (Q_A 和 Q_D 为高)
- C. 对LS168A $V_{ref} = 1.3V$;
- D. 从加/减输入到脉动进位的传输延迟时间必须在计数器处于最小或最大计数状态下测量。脉动进位输出随 加/减 输入端逻辑电平的变化而变化。如计数为最小(0)时, 脉动进位输出的跳变为同相。如计数为最大(LS168A) 脉动进位出为反相。

图2. 到进位输出的传输延迟时间



加计数电压波形

- A. 输入脉冲由具有下列特性的发生器提供: $PRR \leq 1MHz$, 占空比 $\leq 50\%$, $Z_{out} \approx 50\Omega$, $t_r \leq 15ns$, $t_f \leq 6ns$;
- B. LS168A 的输出 Q_D 和进位在 t_n+16 处测量, t_n 是当所有输出为低电平时的位时间。
- C. 对LS168A $V_{ref} = 1.3V$;

图3. 从时钟的传输延迟时间

输入、输出等效电路同LS169