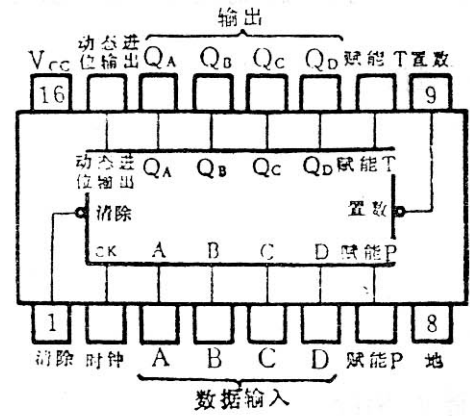


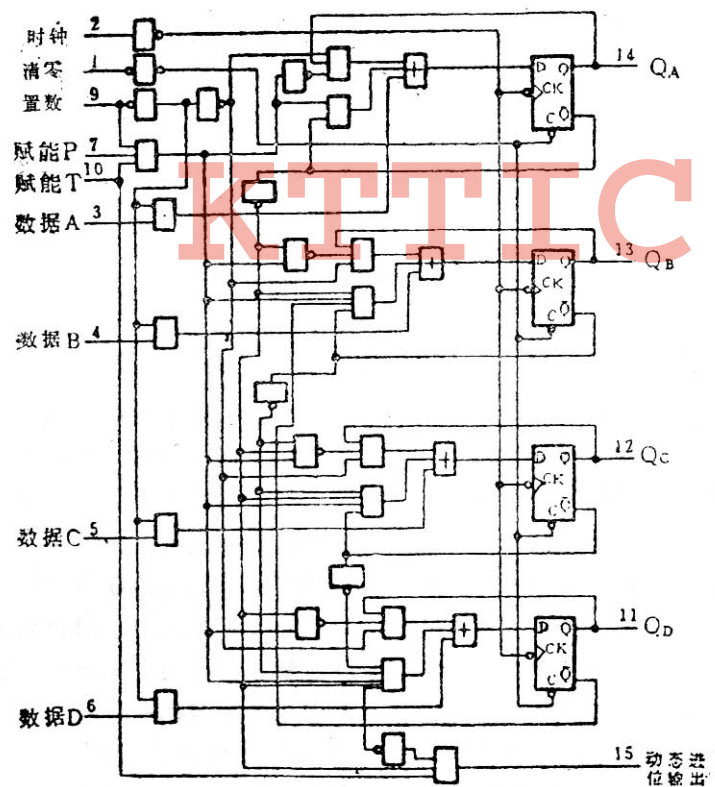
54LS163A/74LS163A 四位2进同步计数器（同步清零）

典型参数: $f = 25\text{MHz}$ $P_D = 93\text{mw}$

外引线排列图



逻辑图



54LS163A / 74LS163A 说明

54LS163A / 74LS163A 为内部超前进位的高速二进制可预置同步计数器它由四个D型触发器和若干个门电路构成，具有计数、预置存数、禁止、异步清除等功能。该电路采用同时控制所有触发器的方法实现同步工作，这样，当有计数赋能输入和内部选通指令时，输出的变化就相互一致。这种同步计数方式消除了非同步计数所产生的计数输出尖峰脉冲，缓冲时钟输入在时钟输入波形的上升沿(正跃变)上触发四个触发器。

数输入端建立一个低电平，就禁止计数，并在下一个时钟脉冲出现之后使输出与所建立的数据一致，而与赋能输入电平无关。其清除功能是同步的，不管赋能输入的电平如何，清除输入端的低电平都可将所有四个触发器的输出置零。由于所需要的最大计数可用一个外加与非门来完成。同步清除很容易改变计数长度。这个与非门输出端接电路的清除输入端，把计数器同步清除到0000(LLLL)。

超前进位电路供n位同步计数器级联之用，而不需外加门。它是借助于两个计数器赋能输入端和一个行波进位输出端来实现这一功能的。两个计数赋能输入端(P和T)必须为高电平才能计数，且输入端T必须正反馈以使行波进位输出端赋能(允许操作)。于是，被赋能的行波进位将产生一个高电平输出脉冲，其持续时间近似等于QA输出高电平部分。这个高电平就溢出行波进位脉冲，以使相继的级联级赋能。不管时钟输入端的电平如何，都允许赋能输入端P和T产生由高电平到低电平的跃变。

54LS163A / 74LS163A 有完全独立的时钟电路，控制输入端(赋能端 P、T 或清除端)的变化虽然可改变工作方式，但直到时钟控制之前，它都是没有影响的。计数器的功能(无论是赋能、禁止、加负载还是计数)只受是否满足稳定的建立时间和维持时间这个条件所支配。

54LS163A / 74LS163A 采用了全新的设计，它最小的维持时间可小至0ns，并且减少了输入电流 I_{IH} 和 I_{IL} 。

54LS163A / 74LS163A 电路有如下特点：

- 用于快速计数的内部超前进位
- 用于n位级联的进位输出
- 同步计数
- 同步编程
- 有置数控制线
- 二极管钳位输出

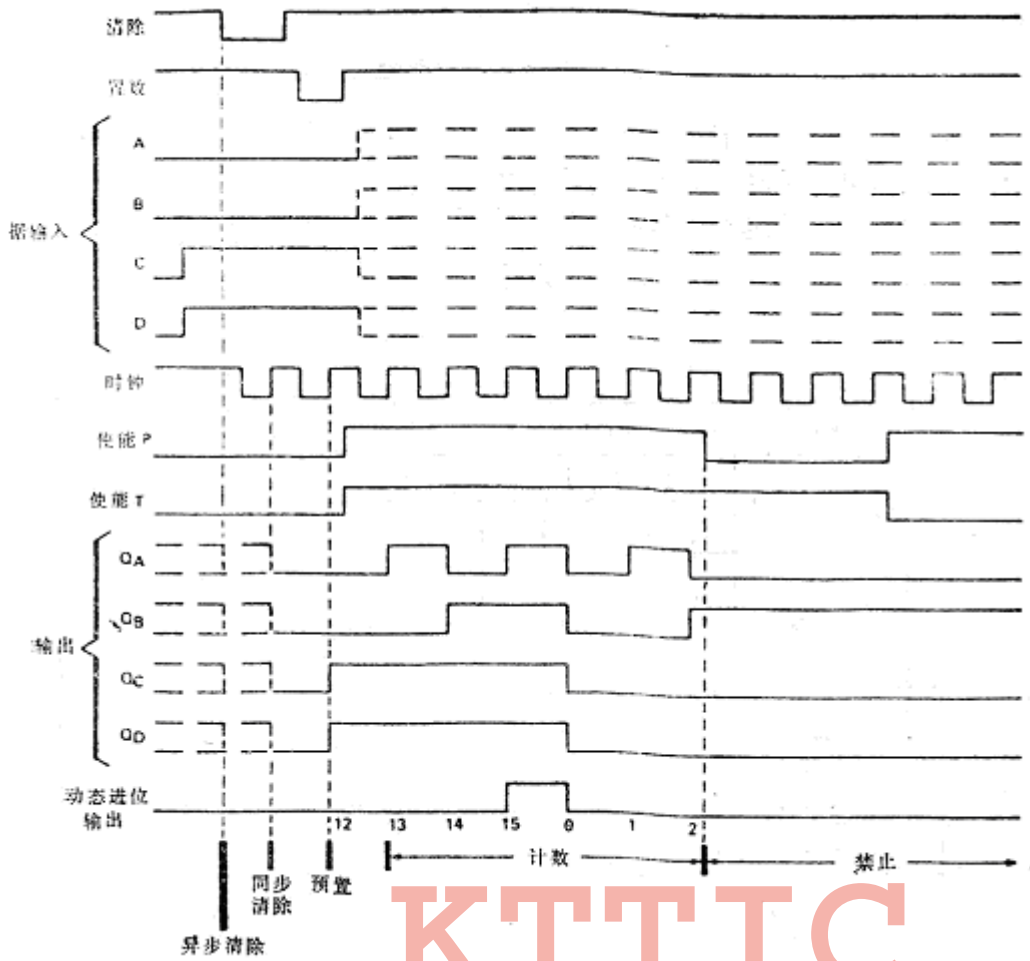
54LS163A / 74LS163A 参数

| 符号 | 参数名称 | | 参 数 值 | | | 单 位 |
|---------------------|---------|----------------|-------|-----|------|-----|
| | | | 最 小 | 典 型 | 最 大 | |
| V _{CC} | 电源电压 | 54 | 4.5 | 5 | 5.5 | V |
| | | 74 | 4.75 | 5 | 5.25 | |
| I _{OH} | 输出高电平电流 | | | | -400 | μA |
| I _{OL} | 输出低电平电流 | 54 | | | 4 | mA |
| | | 74 | | | 8 | |
| f _{CK} | 时钟频率 | | 0 | | 25 | MHz |
| t _w (CK) | 时钟脉冲宽度 | | 25 | | | ns |
| t _w (CR) | 清除脉冲宽度 | | 20 | | | ns |
| t _s | 建立时间 | A、B、C、D | 20 | | | ns |
| | | 使能P 或T | 20 | | | |
| | | C _K | 20 | | | |
| | | C _R | 20 | | | |
| t _h | 维持时间 | | 0 | | | ns |
| T _A | 工作温度 | 54 | -55 | | 125 | °C |
| | | 74 | 0 | | 70 | |

54LS163A / 74LS163A 参数

| 符号 | 参数名称 | | 参 数 值 | | | 单位 | 测 试 条 件 | |
|------------------|--------------|----------|-------|------|------|-----|---|---|
| | | | 最小 | 典型 | 最大 | | | |
| V _{IH} | 输入高电平电压 | | 2 | | | V | | |
| V _{IL} | 输入低电平电压 | 54 | | | 0.7 | V | | |
| | | 74 | | | 0.8 | | | |
| V _{CD} | 输入钳位电压 | | | | -1.5 | V | V _{CC} =最小 | I _I =-18mA |
| V _{OH} | 输出高电平电压 | 54 | 2.5 | 3.4 | | V | V _{CC} =最小 | V _{IH} =2V |
| | | 74 | 2.7 | 3.4 | | | V _{IL} =最大 | I _{OH} =-400μA |
| V _{OL} | 输出低电平电压 | 54, 74 | | 0.25 | 0.4 | V | I _{OL} =4mA | V _{CC} =最小 |
| | | 74 | | 0.35 | 0.5 | | I _{OL} =8mA | V _{IL} =最大 V _{IH} =2V |
| I _I | 最大输入电压时的输入电流 | 数据或赋能P | | | 0.1 | mA | V _{CC} =最大 V _I =7V | |
| | | 置数时钟或赋能T | | | 0.2 | | | |
| | | 清除 | | | 0.2 | | | |
| I _{IH} | 输入高电平电流 | 数据或赋能P | | | 20 | μA | V _{CC} =最大 V _I =2.7V | |
| | | 置数时钟或赋能T | | | 40 | | | |
| | | 清除 | | | 40 | | | |
| I _{IL} | 输入低电平电流 | 数据或赋能P | | | -0.4 | mA | V _{CC} =最大 V _I =0.4V | |
| | | 置数时钟或赋能T | | | -0.8 | | | |
| | | 清除 | | | -0.8 | | | |
| I _{OS} | 短路输出电流 | | -15 | | -100 | mA | V _{CC} =最大 | |
| I _{CCH} | 高电平输出电源电流 | | | 18 | 31 | mA | V _{CC} =最大 | 注1 |
| I _{CCL} | 低电平输出电源电流 | | | 19 | 32 | mA | V _{CC} =最大 | 注2 |
| f _{MAX} | 最大时钟频率 | | 25 | 32 | | MHz | | |
| t _{PLH} | 时钟 | 行波进位 | | 20 | 35 | ns | C _L =15pF R _L =2kΩ | |
| t _{PHL} | | | | 18 | 35 | | | |
| t _{PLH} | 时钟(置数输入为高电平) | 任一个Q | | 13 | 24 | ns | | |
| t _{PHL} | | | | 18 | 27 | | | |
| t _{PLH} | 时钟(置数输入为低电平) | 任一个Q | | 13 | 24 | ns | | |
| t _{PHL} | | | | 18 | 27 | | | |
| t _{PLH} | 赋能T | 行波进位 | | 9 | 14 | ns | | |
| t _{PHL} | | | | 9 | 14 | | | |
| t _{PHL} | 清除 | 任一个Q | | 20 | 28 | ns | | |

注 1: I_{CCH}的测量条件是负载输入先接高电平, 后接低电平, 其他输入为高电平, 所有输出开路;
注 2: I_{CCL}的测量条件是时钟输入先接低电平, 后接高电平, 其他输入为低电平, 所有输出开路。

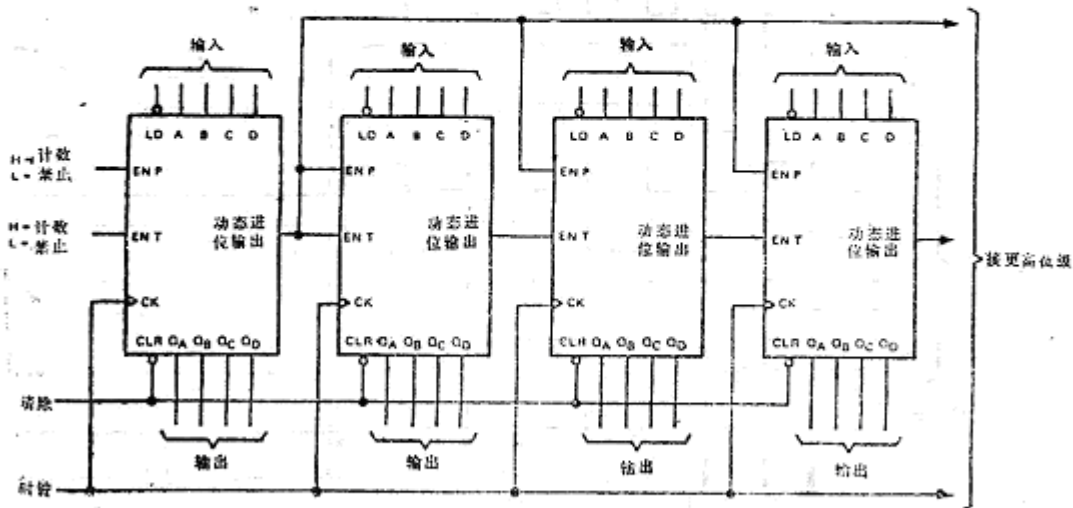


KTTIC

N 位同步计数器

本应用说明如何用超前进位电路组成高速n位计数器。'160、'162、'LS160A、'LS162A或'S162将进行BCD计数，而'161、'163、'LS161A、'LS163A或'S163将进行二进制计数。实际上，这种快速超前进位电路可以使用任何计数模式（模-N、 N_1-N_2 、 N_1 -最大值）。

典型应用说明



输入等效电路见附图1。数据：Req = 2.5kΩ 使能T型数：Req = 10KΩ 时钟、使能P：Req = 20KΩ
清除：Req = 10KΩ

输出等效电路见附图11。R = 120Ω